

# PATENT ABSTRACTS OF JAPAN



(11)Publication number : 2002-373968

(43)Date of publication of application : 26.12.2002

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 2001-182496

(71)Applicant : SONY CORP

(22)Date of filing : 15.06.2001

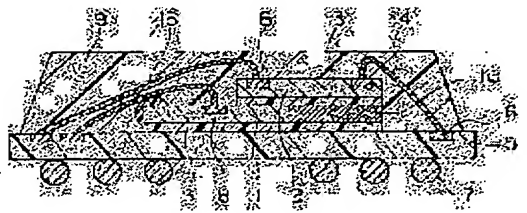
(72)Inventor : SHIGETA HIROYUKI

## (54) ELECTRONIC CIRCUIT DEVICE AND METHOD OF MANUFACTURING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an electronic circuit device and a method for manufacturing the same whereby electronic devices are stacked the circuit device is reduced in size while minimizing limits imposed by arrangement of terminals of the electronic devices such as a semiconductor chip.

**SOLUTION:** The electronic circuit device is configured such that a plurality of electronic devices 1 and 2 having terminals 8 on prescribed positions are stacked on a substrate 5. The electronic circuit device comprises a first electronic device 1 mounted on the substrate 5, a second electronic device 2 having at least a part mounted on the first electronic device 1 so as not to overlap the terminal 8 of the first electronic device 1, and a spacer 10 which fills a gap between the substrate 5 and the second electronic device 2 to support the second electronic device 2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-373968

(P2002-373968A)

(43) 公開日 平成14年12月26日 (2002. 12. 26)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テラコト<sup>®</sup> (参考)

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

25/18

審査請求 未請求 請求項の数12 O L (全 7 頁)

(21) 出願番号 特願2001-182496 (P2001-182496)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(22) 出願日 平成13年 6 月 15 日 (2001. 6. 15)

(72) 発明者 重田 博幸

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

ー株式会社内

(74) 代理人 100094053

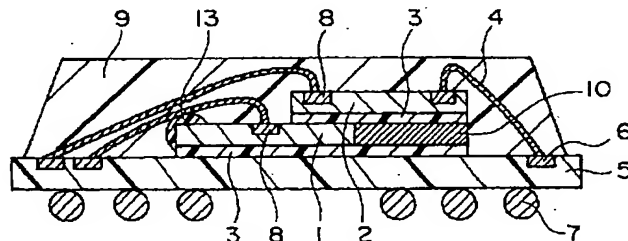
弁理士 佐藤 隆久

(54) 【発明の名称】 電子回路装置およびその製造方法

(57) 【要約】

【課題】 半導体チップ等の電子素子の端子配置にできるだけ制限されずに電子素子を積み重ねて、小型化を図ることができる電子回路装置およびその製造方法を提供する。

【解決手段】 所定の位置に端子 8 が配置された複数の電子素子 1, 2 が基板 5 上に積み重ねられてなる電子回路装置であって、基板 5 上に搭載された第 1 の電子素子 1 と、第 1 の電子素子 1 の端子 8 と重ならないように、少なくとも一部の部位が当該第 1 の電子素子 1 上に搭載された第 2 の電子素子 2 と、基板 5 と第 2 の電子素子 2 との間隙を埋めて、当該第 2 の電子素子 2 を支持するスペーサ 10 とを有する。



## 【特許請求の範囲】

【請求項1】所定の位置に端子が配置された複数の電子素子が基板上に積み重ねられた電子回路装置であって、前記基板上に搭載された第1の電子素子と、前記第1の電子素子の端子と重ならないように、少なくとも一部の部位が当該第1の電子素子上に搭載された第2の電子素子と、前記基板と前記第2の電子素子との間隙を埋めて、当該第2の電子素子を支持するスペーサとを有する電子回路装置。

【請求項2】前記スペーサは、前記第1の電子素子の厚みと実質的に同等の厚みを有する請求項1記載の電子回路装置。

【請求項3】前記第1および第2の電子素子は、前記端子が形成された面とは反対側の面を前記基板に向けて搭載されている請求項1記載の電子回路装置。

【請求項4】前記基板は、前記第1および第2の電子素子の端子と電気的に接続するための基板端子を有し、前記第1および第2の電子素子の端子と前記基板端子とがワイヤにより結線されている請求項3記載の電子回路装置。

【請求項5】前記第1の電子素子の少なくとも外縁部に、前記ワイヤの前記第1の電子素子への接触を防止するための絶縁性樹脂が形成されている請求項4記載の電子回路装置。

【請求項6】前記第1の電子素子は、端子形成面の中央部において一方向に配列された端子を有する請求項1記載の電子回路装置。

【請求項7】前記基板は、前記基板端子と電気的に接続された外部接続用端子を有する請求項1記載の電子回路装置。

【請求項8】所定の位置に端子が配置された複数の電子素子が基板上に積み重ねられた電子回路装置の製造方法であって、前記基板上に第1の電子素子を搭載する工程と、前記基板上にスペーサを搭載する工程と、前記第1の電子素子および前記スペーサ上に、前記第1の電子素子の前記端子と重ならないように、第2の電子素子を搭載する工程とを有する電子回路装置の製造方法。

【請求項9】前記スペーサを搭載する工程において、前記第1の電子素子の厚みと実質的に同等な厚みを有するスペーサを搭載する請求項8記載の電子回路装置の製造方法。

【請求項10】前記第1および第2の電子素子を搭載する工程において、前記端子が形成された面とは反対側の面を前記基板に向けて前記第1および第2の電子素子を搭載する請求項8記載の電子回路装置の製造方法。

【請求項11】前記基板は、前記第1および第2の電子素子の端子と電気的に接続するための基板端子を有し、

前記第2の電子素子を搭載する工程の後に、前記第1および第2の電子素子の端子と前記基板端子とをワイヤにより結線する工程を有する請求項10記載の電子回路装置の製造方法。

【請求項12】前記ワイヤにより結線する工程の前に、前記第1の電子素子の少なくとも外縁部に、前記ワイヤの前記第1の電子素子への接触を防止するための絶縁性樹脂を形成する工程を有する請求項11記載の電子回路装置の製造方法。

## 10 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電子回路装置およびその製造方法に関し、特に複数の半導体チップが格納された電子回路装置およびその製造方法に関する。

## 【0002】

【従来の技術】デジタルビデオカメラ、デジタル携帯電話、あるいはノートパソコンなど、携帯用電子機器の小型化、薄型化、軽量化に対する要求は強くなる一方であり、これに応えるために近年のVLSIなどの半導体装置においては3年で7割の縮小化を実現してきた一方で、実装基板上の部品実装密度をいかに向上させるかが重要な課題として研究および開発がなされてきた。

【0003】そして、これに応えるため、近年、複数の半導体チップを1つのパッケージに実装したマルチチップパッケージが使用されてきている。

【0004】図6は、上記のマルチチップパッケージの断面図である。図6に示すマルチチップパッケージでは、半導体チップ11および半導体チップ12が、ダイボンド材3により、インタポーザ5上に固定されている。半導体チップ11、12は、それぞれ所定の配置でパッド8が形成されており、インタポーザ5に形成されたインナーリード6と、金線などからなるボンディングワイヤ4により、電気的に接続されている。

【0005】半導体チップ11、12が搭載されたインタポーザ5上には、半導体チップ11、12を保護するための封止樹脂9が形成されている。インタポーザ5のチップ搭載面の裏面には、インナーリード6と電気的に接続された外部接続端子7が形成されている。

【0006】上記の半導体チップ11、12を格納するマルチチップパッケージは、不図示のマザーボードの端子とインタポーザ5の外部接続端子7とが電気的に接続されるように、マザーボード上に実装されて使用されることになる。

【0007】上記構成のマルチチップパッケージでは、2次元方向に横並びに半導体チップ11、12を搭載していることから、広い実装面積を必要とするため、さらなる素子の高集積化および高密度化の要求に対応することが困難となってきた。

【0008】従って、近年、上記のさらなる要求に対応すべく、半導体チップを積み上げて、3次元に搭載され

3

たスタック構造のマルチチップパッケージが使用されるようになってきている。

【0009】図7は、スタック構造のマルチチップパッケージの断面図である。図7に示すマルチチップパッケージでは、相対的に面積の大きい半導体チップ11上に、相対的に面積の小さい半導体チップ12が搭載されている構造となっている。

【0010】すなわち、相対的に面積の大きい半導体チップ11がダイボンダ材3により、インタポーザ5上に固定されており、半導体チップ11のパッド8に干渉しないように、半導体チップ12がダイボンダ材3により半導体チップ11上に固定されている。

【0011】半導体チップ11、12に形成された各パッド8と、インタポーザ5に形成されたインナーリード6とが、金線などからなるボンディングワイヤ4により、電気的に接続されている。

【0012】そして、インタポーザ5上に積み重ねられた半導体チップ11、12が封止樹脂9により封止されている。インタポーザ5のチップ搭載面の裏面には、インナーリード6と電気的に接続された外部接続端子7が形成されている。

【0013】上記構成のスタック構造のマルチチップパッケージは、上述したように、マザーボード上に実装されて使用される際に、2次元のマルチチップパッケージに比して、平面方向の実装面積を縮小できることから、さらなる素子の高集積化および高密度化の要求に応えることができる。

【0014】

【発明が解決しようとする課題】しかしながら、例えば、スタック構造のマルチチップパッケージを採用する場合には、上述したように、半導体チップ12は、半導体チップ11のパッド8に干渉しないように搭載する必要があることから、半導体チップ11に配置されたパッド8により制限を受ける。

【0015】図7に示すように、例えば、半導体チップ11、12のパッド8が、ともにチップの周囲に形成されており、半導体チップ11に配置されたパッド8の内側に、半導体チップ12が搭載することができる場合等、限られた条件下において上記の構造を採用することができる。

【0016】例えば、図8に示すように、主に、SRAM (Static Random Access Memory) などのメモリ系においては、パッド8がチップの中央に一方に配置されたセンターパッド配置チップ1が使用されている。このセンターパッド配置チップ1と、当該チップサイズ以下で、チップ周囲にパッド8が配置されたペリフェラルパッド配置チップ2とをマルチチップパッケージ化する場合には、センターパッド配置チップ1のパッド8とペリフェラルパッド配置チップ2とが干渉してしまうため、図7に示すスタック構造を採用することができず、図6

4

に示す横並びにする構成しか採用することができないという問題がある。

【0017】本発明は上記の事情に鑑みてなされたものであり、その目的は、半導体チップ等の電子素子の端子配置にできるだけ制限されずに電子素子を積み重ねて、小型化を図ることができる電子回路装置およびその製造方法を提供することにある。

【0018】

【課題を解決するための手段】上記の目的を達成するため、本発明の電子回路装置は、所定の位置に端子が配置された複数の電子素子が基板上に積み重ねられた電子回路装置であって、前記基板上に搭載された第1の電子素子と、前記第1の電子素子の端子と重ならないように、少なくとも一部の部位が当該第1の電子素子上に搭載された第2の電子素子と、前記基板と前記第2の電子素子との間隙を埋めて、当該第2の電子素子を支持するスペーサとを有する。

【0019】好適には、前記スペーサは、前記第1の電子素子の厚みと実質的に同等の厚みを有する。

【0020】例えば、前記第1および第2の電子素子は、前記端子が形成された面とは反対側の面を前記基板に向けて搭載されている。この場合、前記基板は、前記第1および第2の電子素子の端子と電気的に接続するための基板端子を有し、前記第1および第2の電子素子の端子と前記基板端子とがワイヤにより結線されている。

【0021】好適には、前記第1の電子素子の少なくとも外縁部に、前記ワイヤの前記第1の電子素子への接触を防止するための絶縁性樹脂が形成されている。

【0022】例えば、前記第1の電子素子は、端子形成面の中央部において一方向に配列された端子を有する。

【0023】例えば、前記基板は、前記基板端子と電気的に接続された外部接続用端子を有する。

【0024】上記の本発明の電子回路装置では、基板上に第1の電子素子が搭載され、当該第1の電子素子の端子と重ならないように、第1の電子素子上において、第2の電子素子の一部の部位が搭載されている。そして、基板と第2の電子素子との間隙を埋めて、当該第2の電子素子を支持するスペーサが形成されていることから、第2の電子素子は、第1の電子素子およびスペーサにより支持されて積み重ねられることとなる。従って、第1の電子素子の端子配置により、第1の電子素子の端子を除く領域が、第2の電子素子を搭載するほどの領域を有さない場合であっても、スペーサが設けられていることで、第1の電子素子およびスペーサ上に第2の電子素子を搭載することができ、基板上に横並びに電子素子を搭載するのに比して、実装面積が削減される。

【0025】さらに、上記の目的を達成するため、本発明の電子回路装置の製造方法は、所定の位置に端子が配置された複数の電子素子が基板上に積み重ねられた電子回路装置の製造方法であって、前記基板上に第1の電子

5

素子を搭載する工程と、前記基板上にスペーサを搭載する工程と、前記第1の電子素子および前記スペーサ上に、前記第1の電子素子の前記端子と重ならないように、第2の電子素子を搭載する工程とを有する。

【0026】好適には、前記スペーサを搭載する工程において、前記第1の電子素子の厚みと実質的に同等な厚みを有するスペーサを搭載する。

【0027】例えば、前記第1および第2の電子素子を搭載する工程において、前記端子が形成された面とは反対側の面を前記基板に向けて前記第1および第2の電子素子を搭載する。そして、前記基板は、前記第1および第2の電子素子の端子と電気的に接続するための基板端子を有し、前記第2の電子素子を搭載する工程の後に、前記第1および第2の電子素子の端子と前記基板端子とをワイヤにより結線する工程を有する。

【0028】好適には、前記ワイヤにより結線する工程の前に、前記第1の電子素子の少なくとも外縁部に、前記ワイヤの前記第1の電子素子への接触を防止するための絶縁性樹脂を形成する工程を有する。

【0029】上記の本発明の電子回路装置の製造方法によれば、基板上に第1の電子素子を搭載し、基板上にスペーサを搭載し、第1の電子素子およびスペーサ上に、第1の電子素子の端子に重ならないように、第2の電子素子を搭載することで、第1の電子素子の端子配置に影響されずに、電子素子を積み重ねることができる。

【0030】

【発明の実施の形態】以下に、本発明の実施の形態について、一例として、BGA (Ball Grid Array) 型のマルチチップパッケージからなる電子回路装置を例に図面を参照して説明する。

【0031】図1は、本実施形態に係る電子回路装置の断面図である。図2は、図1に示す電子回路装置における半導体チップの積み重ねの様子を示す平面図である。

【0032】本実施形態に係る電子回路装置では、図2に示すように、チップの中央部に一方向に複数のパッド8が配置されたセンターパッド配置チップからなる第1の半導体チップ1上に、チップの周囲に沿って複数のパッド8が配置されたペリフェラルパッド配置チップからなる第2の半導体チップ2を積み重ねて、BGA (Ball Grid Array) 型のマルチチップパッケージからなる電子回路装置が構成されている。上記の第1の半導体チップ1に示すパッド8の配置は、主に、SRAM (Static Random Access Memory) などのメモリ系に使用されている。

【0033】第1の半導体チップ1は、例えば、フィルムあるいはペースト状の接着材であるダイボンド材3により、例えば、0.4~0.6mm程度の厚みのガラスエポキシ基板等からなるインタポーザ5上に固定されている。ダイボンド材3は、例えば、ペースト状のものを使用する場合には、銀ペーストを使用することができ、

6

20μm程度の厚みを有する。

【0034】第1の半導体チップ1に隣接して、ダイボンド材3により、第1の半導体チップ1と同等の厚みを有するスペーサ10が固定されている。スペーサ10は、例えば、半導体チップ1、2との熱膨張率の差が小さくなるように、例えば、半導体チップを構成する材料であるシリコン (Si) により構成される。あるいは、半導体チップ1、2から発せられる熱を効率的に放散させるために、熱伝導率の高い銅 (Cu) 等の金属を使用してもよい。

【0035】第1の半導体チップ1およびスペーサ10上には、第1の半導体チップ1に配置されたパッド8に接触しないように、ダイボンド材3により、第2の半導体チップ2が固定されている。上記の第1の半導体チップ1および第2の半導体チップ2は、例えば、150μm~300μmの厚みを有している。

【0036】インタポーザ5のチップ搭載面には、銅 (Cu)、ニッケル (Ni)、あるいは金 (Au) 等からなるインナーリード6が形成されており、半導体チップ1、2に配置された各パッド8とインタポーザ5のインナーリード6とが、例えば、金線などからなるボンディングワイヤ4により接続されている。ボンディングワイヤ4は、チップの周辺部に触れないように、チップ側で盛り上がったループ形状に形成されている。また、ボンディングワイヤ4は、各ボンディングワイヤが重ならないように、図4の断面に直交する方向において、交互に形成されている。

【0037】ここで、下側の第1の半導体チップ1のエッジには、ボンディングワイヤ4と第1の半導体チップ1とが接触して短絡するのを防止するため、例えば、絶縁性の液状樹脂からなるエッジコート材13が塗布されている。これは、図1に示すように、半導体チップ1、2のパッド8とインナーリード等の距離が長い場合や、チップの中央部にパッド8が配置されている場合等には、後に説明する封止樹脂を封入する際に、ボンディングワイヤ4が樹脂の重みでチップのエッジに接触する恐れがあるため、これを防止するためである。

【0038】インタポーザ5上には、第1の半導体チップ1および第2の半導体チップ2を被覆して、当該半導体チップ1、2を保護するための封止樹脂9が形成されている。インタポーザ5のチップ搭載面の裏面には、インナーリード6と電気的に接続された例えば半田等からなる球状の外部接続端子7が形成されている。

【0039】上記の第1の半導体チップ1と第2の半導体チップ2を格納する電子回路装置は、不図示のマザーボードの端子とインタポーザ5の外部接続端子とが電気的に接続されるように、マザーボード上に実装されて使用されることになる。

【0040】上記の本実施形態に係る電子回路装置では、第1の半導体チップ1上に、当該第1の半導体チッ

10

20

30

40

50

7

ブ1のパッド8に干渉しないように、第2の半導体チップ2が積み重ねられており、第1の半導体チップ1に支持されていない第2の半導体チップ2の下側には、第2の半導体チップ2を支持するスペーサ10が配置されて、安定した3次元実装を可能にしている。従って、第1の半導体チップ1のパッド8とインターポーザ5のインナーリード6との、ボンディングワイヤ4による接続を妨げることなく、チップを積み重ねることができ、電子回路装置の小型化を実現することができる。さらに、スペーサ10が第1の半導体チップ1の厚みと同等の厚みを有することにより、第2の半導体チップ2を平行に搭載することができ、安定した搭載を実現することができる。

【0041】次に、上記の本実施形態の電子回路装置の製造方法について、図3～図5を用いて説明する。

【0042】まず、図3(a)に示すように、インナーリード6が形成されたインターポーザ5上において、第1の半導体チップ1およびスペーサ10を搭載する箇所に、ダイボンド材3を塗布する。続いて、マウンタにより、第1の半導体チップ1をダイボンド材3を介して、インターポーザ5上に搭載する。

【0043】次に、図3(b)に示すように、第1の半導体チップ1と同等の厚みを有するスペーサ10を用意して、マウンタにより当該スペーサ10をダイボンド材3を介してインターポーザ5上に搭載する。

【0044】次に、図3(c)に示すように、第1の半導体チップ1に配置されたパッド8に干渉しないように、第1の半導体チップ1およびスペーサ10上に、ダイボンド材3を塗布する。続いて、マウンタにより、第2の半導体チップ2をダイボンド材3を介して、第1の半導体チップ1およびスペーサ10上に搭載する。

【0045】次に、図4(d)に示すように、第1の半導体チップ1のエッジに、例えば、絶縁性の液状樹脂からなるエッジコート材13を塗布する。このエッジコート材13は、半導体チップ1のエッジの全てに塗布する必要はなく、比較的長いボンディングワイヤが半導体チップ1のエッジをまたぐこととなる部位に塗布すればよい。

【0046】次に、図4(e)に示すように、第1の半導体チップ1および第2の半導体チップ2のパッド8と、インターポーザ5のインナーリード6とを、例えば、金線などからなるボンディングワイヤ4により接続する。

【0047】次に、図5(f)に示すように、上記の第1および第2の半導体チップ1、2が搭載されたインターポーザ5を金型成形機にセットして、樹脂を流しこんで成形硬化させて、第1および第2の半導体チップ1、2を保護する封止樹脂9を形成する。

【0048】最後に、図5(g)に示すように、インターポーザ5のチップ搭載面の裏面において、インナーリー

8

ド6に接続するように配置された不図示のランド上に、球状の半田等からなる外部接続端子7を形成することにより、本実施形態に係る電子回路装置が製造される。

【0049】上記のようにして形成された電子回路装置は、不図示のマザーボードに形成された電極と、外部接続端子7とをリフローはんだ付けなどにより、接続させることにより、マザーボード上に実装されることとなる。

【0050】上記の本実施形態に係る電子回路装置の製造方法によれば、スペーサ10を形成する工程を追加するのみで、第1の半導体チップ1のパッド配置に影響されることなく、第2の半導体チップ2を搭載することができ、小型化されたスタック型の電子回路装置を製造することができる。

【0051】本発明は、上記の実施形態の説明に限定されない。例えば、本実施形態では、第1の半導体チップとして、チップの中央部に一方向に複数配置されたパッドを有するセンターパッド配置チップを一例に説明したが、これに限られるものでなく、特に、パッドの配置には限定はない。同様に、第2の半導体チップとして、チップの周辺部に沿ってパッドが複数配置されたペリフェラルパッド配置チップを例に説明したが、特に限定されるものでなく、センターパッド配置チップの他、様々なパッド配置を有するチップを使用することができる。

【0052】また、スペーサ10は、第1の半導体チップ1と同じ厚さで、その上に搭載される第2の半導体チップ2を平行に保つことができ、かつ、半導体チップ1、2のパッド8とインナーリード6とのボンディングワイヤ4による接続に問題がなければ、どのような形状でもよく、またどのような材質であってもよい。例えば、スペーサ10は、第2の半導体チップ2とインターポーザ5との間隙を全て埋める必要はなく、第2の半導体チップ2を平行に搭載できる限りにおいて、間隙の一部を埋めるように形成してもよい。

【0053】また、ダイボンド材3は、信頼性の向上等のため、第1の半導体チップ1の搭載用と、第2の半導体チップ2の搭載用とで材料を変えてもよい。例えば、第2の半導体チップ2の搭載用に、フィルム状のダイボンド材を使用することで、ダイボンド材が流れて第1の半導体チップ1のパッド8を覆ってしまうのを防止することができる。また、例えば、第1の半導体チップ1の搭載用に、フィルム状のダイボンド材を使用することで、搭載後の第1の半導体チップ1が傾くのを防止でき、その後にマウンタにより、第2の半導体チップ2を第1の半導体チップ1上に搭載する際に、位置決めを容易にすることができる。

【0054】また、本実施形態では、BGA型のパッケージからなる電子回路装置について説明したが、これに限られるものでなく、例えば、半田等からなる球状の外部接続端子7は存在せず、チップ搭載面の裏面にはパッ

10

20

30

40

50

ドしか形成されていないLGA (Land Grid array) 型に適用することも可能である。また、本実施形態における電子回路装置の外形サイズを限りなく半導体チップのサイズに近づけたCSP (Chip Size Package) 形態の電子回路装置に適用することもできる。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

#### 【0055】

【発明の効果】本発明によれば、半導体チップ等の電子素子の端子配置にできるだけ制限されずに電子素子を積み重ねて、小型化された電子回路装置を実現することができる。

#### 【図面の簡単な説明】

【図1】本実施形態に係る電子回路装置の断面図である。

【図2】図1に示す電子回路装置における半導体チップの積み重ねの様子を示す平面図である。

【図3】本実施形態に係る電子回路装置の製造工程において、(a)は第1の半導体チップの搭載工程までを示す断面図、(b)はスペーサの搭載工程までを示す断面図、(c)は第2の半導体チップの搭載工程までを示す断面図である。

【図4】本実施形態に係る電子回路装置の製造工程において、(d)はエッジコート材の塗布工程までを示す断面図、(e)はボンディングワイヤによる接続工程までを示す断面図である。

【図5】本実施形態に係る電子回路装置の製造工程において、(f)は封止樹脂の形成工程までを示す断面図、(g)は外部接続端子の形成工程までを示す断面図である。

【図6】図6は、従来例に係る2次元マルチチップパッケージの断面図である。

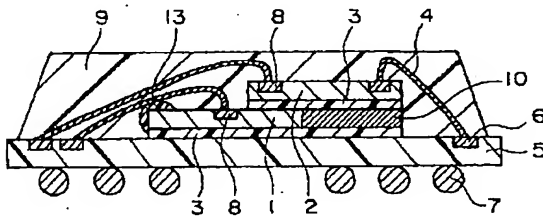
【図7】図7は、従来例に係る3次元マルチチップパッケージの断面図である。

【図8】図8は、従来例に係るマルチチップパッケージの問題点を説明するための図である。

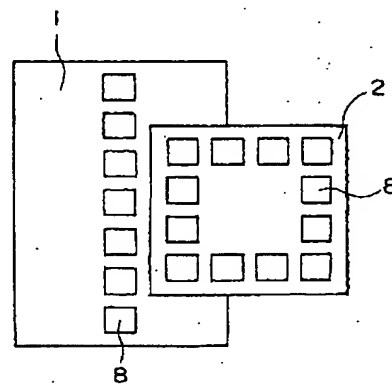
#### 【符号の説明】

1…第1の半導体チップ、2…第1の半導体チップ、3…ダイボンダ材、4…ボンディングワイヤ、5…インターポーザ、6…インナーリード、7…外部接続端子、8…パッド、9…封止樹脂、10…スペーサ、11…半導体チップ、12…半導体チップ、13…エッジコート材。

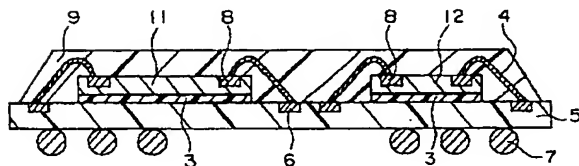
【図1】



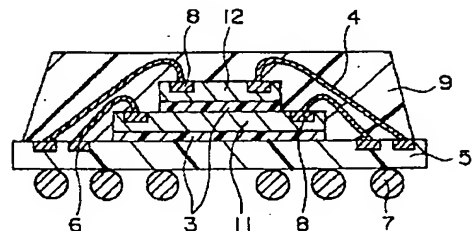
【図2】



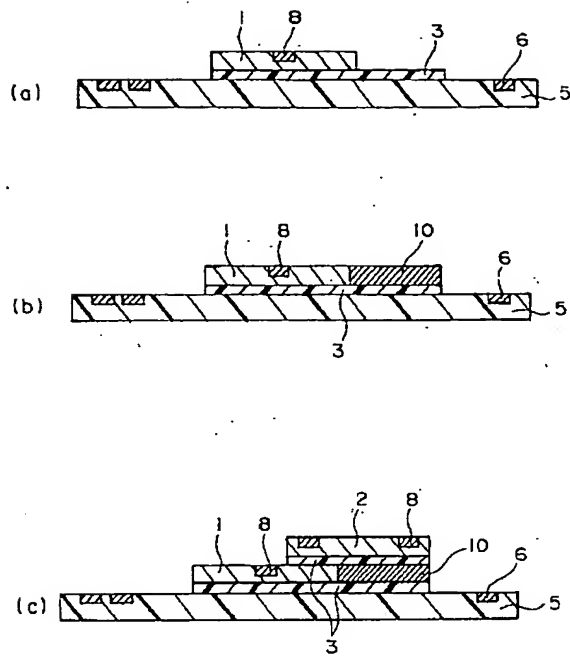
【図6】



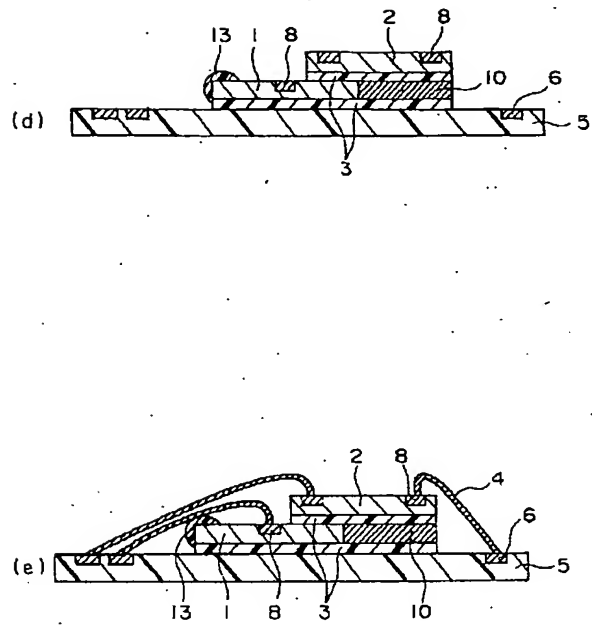
【図7】



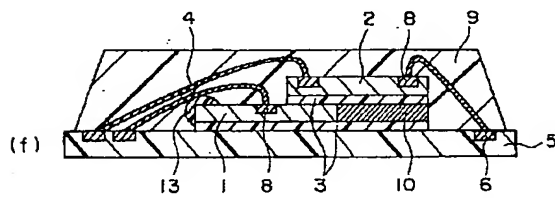
【図3】



【図4】



【図5】



【図8】

